



①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑫ Offenlegungsschrift

⑩ DE 198 19 863 A 1

⑤ Int. Cl.<sup>6</sup>:  
G 06 F 9/44  
G 11 C 19/28

⑦① Aktenzeichen: 198 19 863.9  
⑦② Anmeldetag: 4. 5. 98  
⑦③ Offenlegungstag: 11. 11. 99

DE 198 19 863 A 1

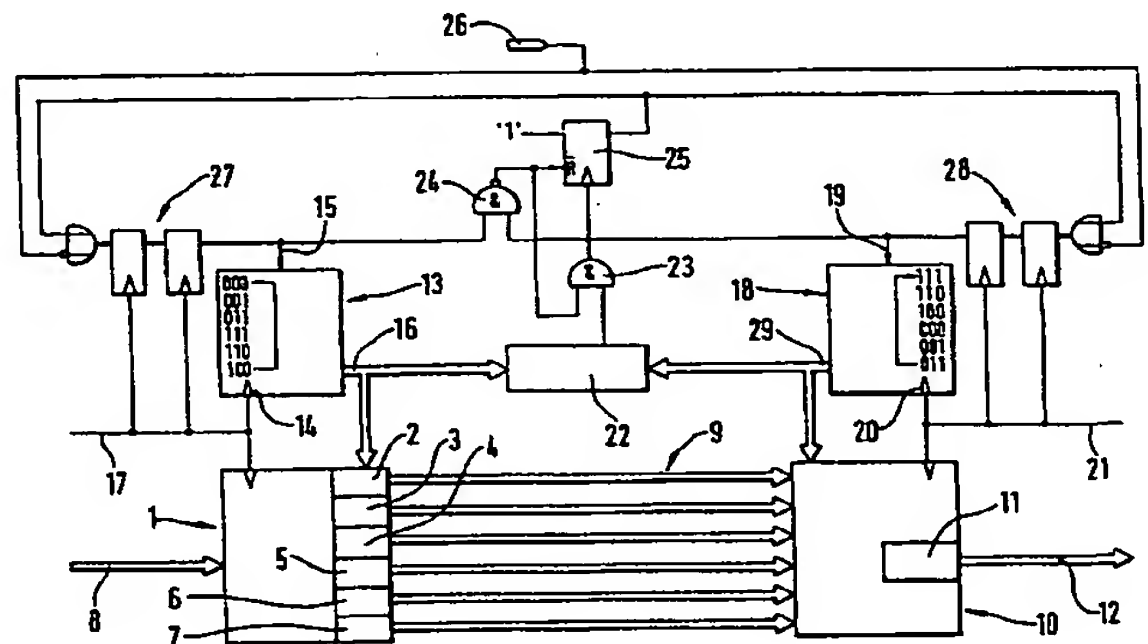
⑦① Anmelder:  
Robert Bosch GmbH, 70469 Stuttgart, DE

⑦② Erfinder:  
Dukek, Martin, 71549 Auenwald, DE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

⑤④ Schaltungsanordnung nach dem FIFO-Prinzip

⑤⑦ Es wird eine Schaltungsanordnung vorgeschlagen, die bei der Übermittlung von getakteten Daten zur Anpassung an eine phasenverschiedene Taktwelt im wesentlichen gleicher Frequenz dient. Die Schaltungsanordnung umfaßt einen Demultiplexer (1) einen Multiplexer (10), einen Eingangsadreßgenerator (13) und einen Ausgangsadreßgenerator (19) sowie eine Kollisionserkennungsschaltung (22). Die Kollisionserkennungsschaltung (22) dient zum Erkennen von Adreßkollisionen und einem entsprechenden Rücksetzen von Eingangs- und Ausgangsadreßgenerator auf voreingestellte Werte.



DE 198 19 863 A 1

## Beschreibung

## Stand der Technik

Die Erfindung geht aus von einer Schaltungsanordnung nach der Gattung des Hauptanspruches. Es ist schon eine solche Schaltungsanordnung aus der DE 34 31 785 bekannt, die einen Demultiplexer und einen mit ihm über Datenleitungen verbundenen Multiplexer zur Zwischenspeicherung von Daten aufweist. Das Ein- bzw. Auslesen von Daten wird über entsprechend extern zugeführte Signale veranlaßt, wobei die zugehörige Steuerschaltung einen eigenen Taktgenerator sowie diverse Verzögerungsglieder aufweist.

## Vorteile der Erfindung

Die erfindungsgemäße Schaltungsanordnung mit den kennzeichnenden Merkmalen des Hauptanspruchs hat demgegenüber den Vorteil, mit einem einfachen Aufbau die Anpassung von an einen bestimmten Takt gekoppelten Daten an einen anderen Takt gleicher Frequenz, aber anderer, unbekannter oder schwankender Phasenlage zu bewerkstelligen. Der geringe Schaltungsaufwand ist bedingt durch eine geringe Tiefe der verwendeten FIFO-Speicheranordnung, sowie durch die Tatsache, daß beim Design der Schaltung keine Mindestlaufzeiten zu berücksichtigen sind, da es sich um ein streng synchrones (d. h. taktbezogenes) Design handelt. Dadurch ist neben der Realisierbarkeit in Asics auch eine Implementierung in einfachen programmierbaren Logikbausteinen möglich, d. h. durch die Technologieunabhängigkeit der Schaltung die Möglichkeit einer einfachen Einbindung in komplexe Designs gegeben.

Durch die in den abhängigen Ansprüchen aufgeführten Maßnahmen sind vorteilhafte Weiterbildungen und Verbesserungen der im Hauptanspruch angegebenen Schaltungsanordnung möglich.

Besonders vorteilhaft ist die Ausgestaltung des Kollisionserkennungsmittels als kombinatorische (d. h. ohne Takt betriebene) Logikschaltung.

Die Verwendung eines Gray-codes gewährleistet eine betriebssichere und spikefreie Kollisionserkennung. Die Adresskollisionserkennung spricht nur dann an, wenn wirklich eine Adresskollision vorliegt. Fehlalarme werden wirksam unterbunden.

Ein Mindestabstand von 3 der voreingestellten Werte für die Eingangs- und Ausgangsadresse garantiert bei phasenverschiedenen, mit einer Phasenunschärfe behafteten Eingangs- und Ausgangstakten gleicher Frequenz eine betriebssichere Weiterleitung der Daten.

## Zeichnung

Ausführungsbeispiele der Erfindung sind in der Zeichnung dargestellt und in der nachfolgenden Beschreibung näher erläutert. Es zeigen Fig. 1 einen Schaltungsaufbau und Fig. 2 ein Impulsdiagramm.

## Beschreibung der Ausführungsbeispiele

Fig. 1 zeigt eine Schaltungsanordnung mit einem Demultiplexer 1, der einen n-Bit-Dateneingang 8 aufweist. Der Demultiplexer 1 weist ein erstes Register 2, ein zweites Register 3 und weitere Register 4, 5, 6 und 7 auf. Diese Register sind jeweils als n parallele D-Flip-Flops ausgebildet. Jedes der Register 2-7 ist über n-Bit-Datenleitungen 9 mit einem Multiplexer 10 verbunden. Der Multiplexer 10 weist ein n-Bit-Ausgangsregister 11 auf, das über einen n-Bit-Datenausgang 12 verfügt. Eine Eingangstaktleitung 17 ist so-

wohl mit dem Demultiplexer 1 als auch mit Takteingang 14 des Eingangsadressengenerators 13 verbunden. Der Eingangsadressengenerator 13 hat für jedes der Register 2-7 des Demultiplexers 1 eine Adresse zur Verfügung, wie durch die dreistelligen Codierungen in Fig. 1 symbolisiert. Die Adressen sind Gray-codiert. Gray-codiert bedeutet, daß sich zur benachbarten Codierung immer nur ein Bit ändert. Der Eingangsadressengenerator 13 ist über Eingangsadressleitungen 16 (im Beispiel 3 Leitungen, d. h. so viele Adressleitungen wie Adressbits verwendet werden) mit dem Demultiplexer 1 verbunden. Eine Ausgangstaktleitung 21 ist sowohl mit dem Multiplexer 10 als auch über einen Takteingang 20 mit dem Ausgangsadressengenerator 18 verbunden. Der Ausgangsadressengenerator 18 ist über Ausgangsadressleitungen 29 mit dem Multiplexer 10 verbunden. Analog zum Eingangsadressengenerator 13 stellt der Ausgangsadressengenerator 18 Gray-codierte Adressen zur Verfügung, wobei im Gegensatz zum Generator 13 der Startwert nach Rücksetzung des Zählers nicht 000, sondern 111 ist. Die Eingangsadressleitungen 16 und die Ausgangsadressleitungen 29 sind ferner mit einer Kollisionserkennungsschaltung 22 verbunden. Der Ausgang der Kollisionserkennungsschaltung 22 ist mit einem Eingang eines Und-Gatters verbunden. Der Ausgang des Und-Gatters 23 ist mit dem Takteingang eines als rücksetzfähigen D-Flip-Flops ausgebildeten Alarmregisters 25 verbunden. Der Reseteingang des Alarmregisters 25 ist mit dem zweiten Eingang des Und-Gatters 23 verbunden. Der D-Eingang des Alarmregisters 25 ist konstant auf "1" geschaltet. Der Ausgang des Alarmregisters 25 ist mit 2 Oder-Gattern verbunden. Der zweite, invertierte Eingang der beiden Oder-Gatter ist mit einer Resetleitung 26 verbunden. Die Ausgänge der beiden Oder-Gatter sind jeweils über 2 in Reihe geschaltete D-Flip-Flops 27 bzw. 28 mit dem Reseteingang 15 bzw. 19 des Eingangsadressengenerators 13 bzw. des Ausgangsadressengenerators 18 verbunden. Die in Reihe geschalteten D-Flip-Flops 27 werden dabei über die Eingangstaktleitung 17 getaktet, die beiden D-Flip-Flops 28 über die Ausgangstaktleitung 21. Der Reseteingang 15 und der Reseteingang 19 sind jeweils mit einem Eingang eines NAND-Gatters 24 verbunden, dessen Ausgang mit dem Reseteingang des Alarmregisters 25 verbunden ist.

Mit jeder steigenden Flanke des an der Eingangstaktleitung 17 anliegenden Eingangstaktes 44 wird abhängig von der an den Eingangsadressleitungen 16 anliegenden Eingangsadresse 46 genau eines der sechs Register 2-7 mit den auf dem Dateneingang 8 anliegenden Daten geladen; die anderen fünf Register halten ihre Werte. Mit jeder steigenden Flanke des an der Ausgangstaktleitung 21 anliegenden Ausgangstaktes 48 werden abhängig von der an der Ausgangsadressleitungen 29 anliegenden Ausgangsadresse 50 die Daten aus einem der 6 Register des Demultiplexers 1 in das Ausgangsregister 11 des Multiplexers 10 übernommen. Die Adressgeneratoren 13 und 18 zählen mit jeder steigenden Flanke des Eingangs- bzw. Ausgangstaktes ihre Adresse im Gray-Code zyklisch weiter. Durch die Gray-Codierung ergibt sich eine einfache und spikefreie Adresskollisionserkennung, was weiter unten erläutert wird. Die Adressen sind wie folgt codiert:

Register 2: Code 000, Register 3: Code 001, Register 4: Code 011, Register 5: Code 111, Register 6: Code 110, Register 7: Code 100.

Da die Adressgeneratoren unabhängig voneinander arbeiten und mit unterschiedlichen Takten laufen, muß ausgeschlossen werden, daß während der Übernahme neuer Daten in eines der 6 Register des Demultiplexers 1 genau aus diesem Register auch gerade Daten ins Ausgangsregister übernommen werden. In diesem Fall könnten Set-up und Hold-Zeiten des Ausgangsregisters 11 verletzt werden und somit

ungültige Daten übernommen werden. Charakterisiert ist dieser Fall dadurch, daß Eingangs- und Ausgangsadresse während eines bestimmten Zeitintervalls übereinstimmen. Um sicherzugehen, daß die Kollisionserkennungsschaltung 22 selbst eine nur kurzzeitige Übereinstimmung der beiden Adressen erkennt, um daraufhin ein Rücksetzen der Adressgeneratoren auf zulässige Werte auszulösen, ist die Schaltung 22 durch eine permanent arbeitende kombinatorische (d. h. taktunabhängige) Logikschaltung realisiert. Eingangs- und Ausgangsadresse sind Gray-codiert. Dadurch unterscheidet sich stets mindestens ein Bit-Baar statisch, wenn der Adressabstand mindestens 2 beträgt. Geht beispielsweise die Eingangsadresse 46 von 011 nach 111 und die Ausgangsadresse 50 von 110 nach 100 über, so sind die Zwischenzustände X11 bzw. 1X0, so daß die niedrigstwertigsten Bits statisch und verschieden sind. Das statische Bit-Baar verhindert die Entstehung von Spikes, die ansonsten in kombinatorischer Logik im allgemeinen durch Timingunterschiede parallel arbeitender Gatter entstehen. Es wird also ein Ansprechen der Kollisionserkennungsschaltung 22 unterbunden, was gewünscht ist, da sich Eingangs- und Ausgangsadresse vor und nach der Änderung ja voneinander unterscheiden und somit keine Kollision vorliegt. Bei binär-codierten Adressen hingegen könnten, selbst wenn der Adressabstand mindestens 2 beträgt, identische Zwischenzustände auftreten, obwohl Anfangs- und Endwert von Eingangs- und Ausgangsadresse sich voneinander unterscheiden. Durch eine Gray-Codierung der Adressen ist also eine permanent arbeitende, taktunabhängige, spikefreie Kollisionserkennung gewährleistet. Die Kollisionserkennungsschaltung 22 generiert bei Adressübereinstimmung von Eingangs- und Ausgangsadresse eine Flanke, mit der am Ausgang des Alarmregisters 25 ein internes Alarmsignal 53 ausgelöst wird. Das Alarmsignal 53 entsteht unabhängig von einer der beiden Taktwelten, die durch den Eingangs- und den Ausgangstakt gegeben sind. Eine Übertragung in die jeweilige Taktwelt erfolgt durch die an den Leitungen 17 bzw. 21 anliegenden Takte mit je zwei hintereinander geschalteten D-Flip-Flops 27 bzw. 28. Die beiden Alarmsignale 47 und 51 sind nun während zweier Perioden des Eingangs- bzw. Ausgangstaktes auf 1 und setzen das Alarmregister 25 über das aus dem Alarmsignalen 47 und 51 durch das NAND-Gatter 24 generierte Resetsignal auf 0 zurück. Die Adressgeneratoren reagieren auf die Alarmsignale 47 bzw. 51 mit einem Rücksetzen der Eingangsadresse auf 000 und der Ausgangsadresse auf 111. Damit laufen die Adressen nach einem Alarm wieder in maximalem Abstand voneinander. Um die Adressgeneratoren in den gewünschten Anfangszustand mit maximalem Abstand zu bringen, ist ein Alarm über die Resetleitung 26 erzwingbar.

Die Schaltungsanordnung nach Fig. 1 umfaßt insgesamt 11 funktionale Register und  $7 \cdot n$  Datenregister (bzw.  $6 \cdot n$  Datenregister falls das Ausgangsregister ein externes Register ist).

Die funktionalen Register umfassen 1 Alarmregister 25, 4 D-Flip-Flops 27 bzw. 28 und 6 Adressregister (jeweils 3 für den Eingangs- bzw. den Ausgangsadressengenerator).

Sollen die Adressgeneratoren nach einem Alarm im Mindestabstand 3 laufen, so ist eine Mindesttiefe des Demultiplexers 1 von 6 Registern, wie in Fig. 1 gezeigt, erforderlich. Bei stotternden Takten oder Takten mit kurzzeitigen Frequenzschwankungen ist es vorteilhaft, einen Demultiplexer mit noch mehr  $n$ -Bit breiten Registern bereitzustellen. Das Und-Gatter 23 ist fakultativ und dient als Sicherheitsbeschaltung: Prinzipiell reicht eine direkte Verbindung zwischen der Kollisionserkennungsschaltung 22 und dem Alarmregister 25. Je eines der beiden D-Flip-Flops 27 bzw. 28 dient zur Vermeidung metastabiler Zustände, ist also für

das Funktionieren der Schaltungsanordnung prinzipiell nicht erforderlich.

Alternativ kann das  $n$ -Bit Ausgangsregister 11 auch extern realisiert sein. Der Ausgang des Multiplexers 10 ist in diesem Fall mit dem  $n$ -Bit-Ausgangsregister verbunden, das direkt über die Ausgangstaktleitung 21 getaktet wird.

Fig. 2 zeigt den Zeitverlauf des Resetsignals 43 auf Leitung 26, des Eingangstaktes 44 auf Leitung 17, der Eingangsdaten 45 auf Leitung 8, der Eingangsadresse 46 auf Leitung 16, des Alarmsignals 47 am Eingang 15, des Ausgangstaktes 48 auf Leitung 21, der Ausgangsdaten 49 auf Leitung 12, der Ausgangsadresse 50 auf Leitung 29, des Alarmsignals 51 am Eingang 19, des Kollisionssignals 52 am Ausgang des Gatters 23, des Alarmsignals 53 am Ausgang des Registers 25 und des Alarmlöschsignals 54 am Ausgang des Gatters 24. Eine Periode des Eingangs- bzw. Ausgangstaktes 44 bzw. 48 beträgt dabei beispielsweise 31 Nanosekunden. Die Eingangsdaten 45 bzw. die Ausgangsdaten 49 sind schematisch dargestellt; es handelt sich dabei um  $n$ -Bit breite Datenpakete, die schematisch in Fig. 2 mit unterschiedlichen Zahlen gekennzeichnet sind.

Zu Beginn werden Eingangs- wie Ausgangsadressengenerator durch ein entsprechendes Resetsignal 43 auf die Adresswerte 000 bzw. 111 voreingestellt. Das Datenpaket 4 wird in das Register 2 mit der Adresse 000 eingelesen, das Datenpaket 5 wird in das Register 3 mit der Adresse 001 eingelesen, das Datenpaket 6 in das Register mit der Adresse 011 und so weiter. Der Ausgangstakt liest zu Beginn noch ungültige Werte aus, da die entsprechenden Register noch nicht mit Werten belegt wurden; dies ist durch eine schraffierte Fläche markiert. Das erste gültige Datenpaket ist das Datenpaket 4, das in Zeile 49 bei der Adresse 000 ausgelesen wird. Unmittelbar danach ist in diesen Ausführungsbeispiel eine Lücke im Ausgangstakt 48 erkennbar. Es werden weiterhin Daten eingelesen, der Eingangstakt 44 läuft weiter. Durch das Fehlen etlicher Pulse im Ausgangstakt 48 bleibt der Ausgangsadressengenerator auf 001 stehen. Die Kollisionserkennungsschaltung 22 detektiert die Übereinstimmung der Ausgangsadresse 50 mit der Eingangsadresse 46 direkt nach dem Umschalten der Eingangsadresse 46 von 000 nach 001 und bewirkt ein Anlegen eines Kollisionssignals 52 am Eingang des Alarmregisters 25. Ca. 2 Takte später (verzögert durch die beiden D-Flip-Flops 27 bzw. 28) wird die Eingangsadresse 46 auf 000 und die Ausgangsadresse 50 auf 111 zurückgestellt. Im speziellen Fall der Fig. 2 beschränkt sich das Rücksetzen der Ausgangsadresse 50 auf 111 auf eine identische Operation, da bereits die Adresse 111 anliegt; dies ist hier jedoch nur zufällig so gewählt. Solange die Alarmsignale 47 und 51 an den Reseteingängen 15 bzw. 19 anliegen, bleiben die Adressen auf ihren voreingestellten Werten stehen. Erst nach Rücksetzen des Alarmsignals 53 geht nach zweifaktiger Verzögerung (wieder infolge der zwei D-Flip-Flop-Paare) der normale Betrieb mit Ein- bzw. Auslesen von Daten weiter, wobei die Ausgangsdaten 49 bis zur Adresse 000 noch fehlerhaft sind; erst dann geht es mit der aufsteigenden Reihenfolge eingelesener Datenpakete 15, 16, 17, usw. weiter. Der ordnungsgemäße Datenfluß durch die Schaltung nach Fig. 1 setzt also Takte gleicher Frequenz voraus, wobei kein Taktsignal fehlen darf. Fehlt jedoch einmal ein Taktsignal, so ist die Übertragung fehlerhafter Daten vom Dateneingang 8 zum Datenausgang 12 auf wenige Datenpakete beschränkt, da über die Kollisionserkennungsschaltung eine Kollision von Eingangs- und Ausgangsadresse erkannt wird und eine entsprechende Adressrücksetzung erfolgt.



## Patentansprüche

1. Schaltungsanordnung mit einer Speicheranordnung (8, 1, 2, 3, 4, 5, 6, 7, 9, 10, 11, 12) für Daten, die in der Reihenfolge ihrer Einspeicherung wieder ausgegeben werden, mit einem Eingangsdaten-Demultiplexer (1) mit mehreren Registern (2, 3, 4, 5, 6, 7), einem mit dem Eingangsdaten-Demultiplexer (1) über Datenleitungen (9) verbundenen Multiplexer (10) mit einem Ausgang, mit Adressierungsmitteln (13, 16; 18, 29) zur Generierung einer Eingangsadresse zur Adressierung der Register (2, 3, 4, 5, 6, 7) bzw. zur Generierung einer Ausgangsadresse zur Adressierung einer Durchschaltung einer der Datenleitungen (9) auf den Ausgang, **dadurch gekennzeichnet**, daß ein taktunabhängig arbeitendes Kollisionserkennungsmittel (22) vorgesehen ist, das ein Signal zur Erkennung einer Übereinstimmung von Eingangsadresse (46) und Ausgangsadresse (50) liefert. 5
2. Anordnung nach Anspruch 1, dadurch gekennzeichnet, daß das Kollisionserkennungsmittel eine rein kombinatorische Logikschaltung ist und die Funktion eines Äquivalenzgatters ausübt, wobei die Eingänge des Äquivalenzgatters mit der Eingangs- bzw. der Ausgangsadresse (46 bzw. 50) belegt sind und der Ausgang des Äquivalenzgatters das Signal liefert. 10
3. Anordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Adressierungsmittel (13, 16; 18, 29) eine Gray-Codierung verwenden. 15
4. Anordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß eine Rücksetzeinrichtung (27, 15, 28, 19, 26) zur Rücksetzung der Eingangs- und der Ausgangsadresse auf voreingestellte Werte vorgesehen ist, wenn das Signal eine Übereinstimmung signalisiert. 20
5. Anordnung nach Anspruch 4, dadurch gekennzeichnet, daß eine Alarmeinrichtung (23, 24, 25) zur Erzeugung eines vom Signal getriggerten Alarmsignals (53) vorgesehen ist, das die Rücksetzeinrichtung aktiviert und das solange aktiviert ist, bis die Rücksetzung eingeleitet ist. 25
6. Anordnung nach Anspruch 5, dadurch gekennzeichnet, daß die Rücksetzeinrichtung pro Adressgenerator mindestens eine D-Flipflop-Schaltung aufweist, die das Alarmsignal nach einer ansteigenden Flanke eines Eingangs- bzw. Ausgangstakts zu einem Reseteingang (15, 19) des jeweiligen Adressgenerators weiterleitet. 30
7. Anordnung nach einem der Ansprüche 4, 5 oder 6, dadurch gekennzeichnet, daß die voreingestellten Werte einen Mindestabstand von 3 aufweisen. 35
8. Anordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß der Demultiplexer (1) mindestens sechs Register aufweist. 40
9. Anordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Speicheranordnung und die Adressierungsmittel synchron mit Takten mit einer Frequenz im Megahertzbereich ansteuerbar sind. 45
10. Anordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß sie in einem programmierbaren Logikbaustein realisiert ist. 50

---

Hierzu 2 Seite(n) Zeichnungen

---

